

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: WU, Hung-Chih Conf.:
Appl. No.: NEW Group:
Filed: November 13, 2003 Examiner:
For: PROGRAMMABLE LOGIC CONTROLLER WITH AN
AUXILIARY PROCESSING UNIT

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 13, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

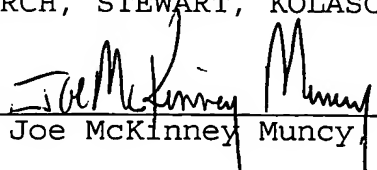
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092122854	August 20, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

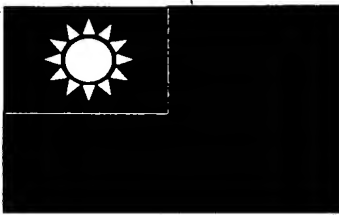
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

KM/tmr
3313-1058P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



Wu
BASIC LUP
703-205-8000
November 13, 2003
3313-1058P
1 OF 1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 08 月 20 日
Application Date

申請案號：092122854
Application No.

申請人：台達電子工業股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 23 日
Issue Date

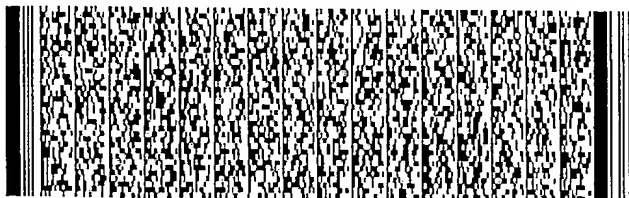
發文字號：09221075650
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有輔助處理單元之可程式邏輯控制器
	英 文	Programmable Logic Controller with an Auxiliary Processing Unit
二、 發明人 (共1人)	姓 名 (中文)	1. 吳鴻志
	姓 名 (英文)	1. Hung-Chih WU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新莊市雙鳳路14-3號4樓
	住居所 (英 文)	1. 4F., No. 14-3, Shuangfong Rd., Sinjhuang City, Taipei County 242, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台達電子工業股份有限公司
	名稱或 姓 名 (英文)	1. DELTA ELECTRONICS, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉山頂村興邦路31-1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 31-1, Hsing-Pang Rd., Kuei-Shan Hsiang, Shan-Ting Tsun, Taoyuan, Taiwan, R. O. C.
	代表人 (中文)	1. 鄭崇華
	代表人 (英文)	1. Chung-Hua CHENG



四、中文發明摘要 (發明名稱：具有輔助處理單元之可程式邏輯控制器)

為了解決習知可程式邏輯控制器中僅有一中央處理單元所存在之執行指令速度不佳、計數頻率無法提升以及脈波輸出頻率不夠等問題，本發明揭露一種具有一第一處理單元以及一第二處理單元之可程式邏輯控制器，以第二處理單元輔助第一處理單元在指令執行、計數以及脈波輸出上之運作，以提高整體之效率。此外，藉由一擴充介面模組與另一可程式邏輯控制器連接時，本發明所揭露之架構亦具有較習知可程式邏輯控制器為佳之效能。

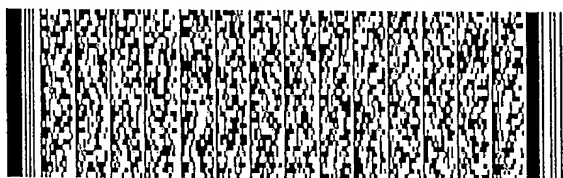
伍、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

100	第一處理單元
200	第二處理單元
10	基本指令執行模組
20	脈波輸出模組
30	中斷產生模組

六、英文發明摘要 (發明名稱：Programmable Logic Controller with an Auxiliary Processing Unit)

A programmable logic controller (PLC) with a auxiliary processing unit is disclosed. The conventional PLC with one central processing unit has the problems of low execution speed, low counting frequency and low output clock. The auxiliary processing unit is used to assist the operation of the original central processing unit. Furthermore, in the condition of connecting with



四、中文發明摘要 (發明名稱：具有輔助處理單元之可程式邏輯控制器)

40	計數模組
50	計數比較模組
60	擴充介面模組

六、英文發明摘要 (發明名稱：Programmable Logic Controller with an Auxiliary Processing Unit)

another PLC through an expand interface, the disclosed PLC also has better performance and efficiency than that of the conventional ones.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

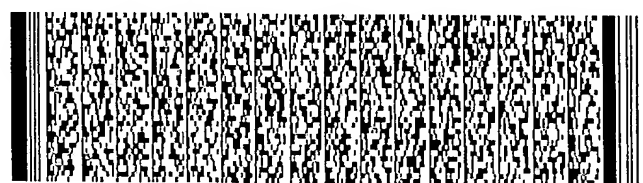
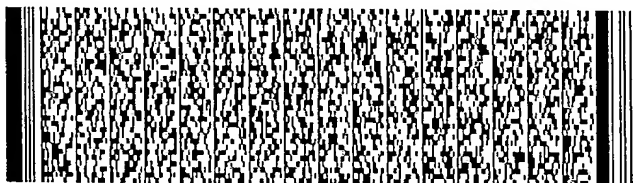
【發明所屬之技術領域】

本發明係關於一種邏輯電路，特別是一種應用於可程式邏輯控制器中，由邏輯電路組成之輔助處理單元。

【先前技術】

目前自動化設備常用可程式邏輯控制器 (Programmable Logic Controller, PLC, 或稱為可程式控制器) 來控制，尤其是程序控制，而可程式邏輯控制器的控制行為則用階梯圖 (Ladder Diagram) 軟體來設計。PLC 的功能為基本的邏輯運算及計時計數，再加上記憶體，以滿足工業上順序控制所需。資料處理的應用指令亦可交由 PLC 中央處理單元來執行。隨著類比訊號處理的需要，亦有類比數位轉換模組。進一步地，由於通訊以及連網的需求，亦可增加網路模組。

基本上，可程式控制器可視為一具有特殊界面的微電腦，一切的資料處理在中央處理單元 (CPU) 進行，輸入模組取得外部受控系統目前的狀態，經過程式判斷後，決定致動輸出模組上的那些驅動器，以驅動受控系統。可程式控制，基本如同一部專門為程序控制的系統而設計的小型電腦。經由使用者寫入程式於儲存器之中，然後 CPU 照著程式中定義的控制按鈕 (Control Logic) 監控並處理來自按鈕、感應器或極限開關等設備的輸入訊號，經邏輯判斷後將輸出訊號送至外部負載，如繼電器、指示燈、電動機等。有時可依使用者之需要，將輸出訊號回授作為輸入訊號，再去控制其它輸出設備。



五、發明說明 (2)

在傳統的 PLC 中大多利用一個單晶片在加上簡單的邏輯積體電路來實現所有的功能，在一般的程序控制且對於執行速度不高的應用上是可以接受的。但是仍然存在例如指令執行速度、計數的頻率、脈波輸出的頻率等效能無法提高之問題。

此外，與擴充機的連接上，單晶片必需自行控制輸出及輸入的時序及資料，如果要與另一顆介面特殊用途積體電路 (ASIC) 連接，在程式的撰寫及執行上顯得沒有效率。

而在計數的功能上，最高計數的頻率一般只到 10kHz 上下，因而使得在使用多組計數之情況下，最高計數的頻率將會隨之下降，再加上如果需要不同的輸出型式脈波，最高輸出頻率同樣地會隨之下降。

目前針對上述問題解決的方法大致上分為兩類，一是使用更高階的單晶片，但如此一來不但成本跟著提高，韌體設計人員也需學習新的工具。第二種方式是使用額外的硬體來增加原有的功能。

但隨著應用方式的多元化，PLC 對於執行的效能是更加要求，不管是在使用者的程式執行速度上，基本的脈波輸入出功能，或是擴充能力等，因此以一個中央處理單元實現所有功能的設計方式在處理效能不僅不佳，亦不能符合使用者對 PLC 功能的需求。

【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種具



五、發明說明 (3)

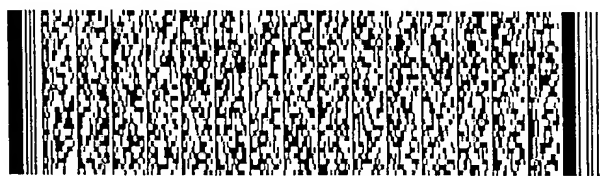
有輔助處理單元之可程式邏輯控制器，以一輔助處理單元搭配可程式邏輯控制器中的中央處理單元，藉以解決習知可程式邏輯控制器的效能不佳問題，以提高可程式邏輯控制器的效能。原本可程式邏輯控制器的中央處理單元主要負責低速的指令執行、計數與脈波輸出，而輔助處理單元主要負責低高速的指令執行、計數與脈波輸出。

因此，為達上述目的，本發明所揭露之具有輔助處理單元之可程式邏輯控制器，包括有一第一處理單元以及一第二處理單元，在第二處理單元中包括有一基本指令執行模組、一派波輸出模組、一中斷產生模組、一計數模組以及一計數比較模組。此外，更具有一擴充介面模組，用以與其他的可程式控制器連接，作為擴充的使用。

在本發明所揭露之具有兩個處理單元之可程式邏輯控制器之架構下，將一些常用命令由輔助處理單元執行，設計時採用精簡指令集管線式提高使用者程式執行速度並提供單步執行功能。

為了節省記憶體的使用，將使用者程式及相關資料存放在一共用儲存模組中，為此加入了總線仲裁機制，當中央處理單元要存取此共用儲存單元時，計數器模組改變旗標，或計數器比較模組改變設定內容時指令執行會自動停止而後繼續執行。另外規劃狀態轉移用指令(STL命令)及相關旗標提供給第一處理單元使用，俾使第二處理單元可輔助第一處理單元。

有關本發明的特徵與實作，茲配合圖示作最佳實施例



五、發明說明 (4)

詳細說明如下。

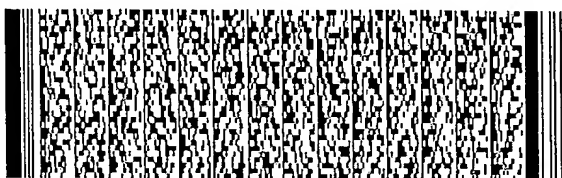
【實施方式】

本發明所揭露的具有輔助處理單元的可程式邏輯控制器，可將第一處理單元視為一低速處理單元，而將第二處理單元視為高速處理單元，第一處理單元主要負責低速的指令執行、計數操作與脈波輸出，而第二處理單元主要負責低高速的指令執行、計數操作與脈波輸出。以下分別就以上模組之詳細內容敘述如下。

首先請參考『第 1 圖』，為本發明所揭露之第二處理單元之方塊圖，第二處理單元包括有一基本指令執行模組 10、一派波輸出模組 20、一中斷產生模組 30、一計數模組 40 以及一計數比較模組 50。另外，尚包括有一擴充介面模組 60，用以與其他的可程式控制器連接，作為擴充的使用。基本指令執行模組 10、脈波輸出模組 20、中斷產生模組 30、計數模組 40、比較模組 50 以及擴充介面模組 60 均由一資料匯流排 70 連接。

基本指令執行模組 10 中之功能方塊圖，請參考『第 2 圖』，包括有一邏輯運算單元 11、一內部記憶單元 12、以及一旗標累加單元 13，基本指令執行模組 10 接收來自第一處理單元 100 的資料訊號以及來自第一處理單元的控制訊號，內部記憶單元 12 儲存有一第二群組指令。

開機之後，將會透過擴充介面模組 60 週期性的掃描與更新，當發現特定的指令時，即立即執行目前所指定的指令及操作。倘若將所有的指令全部存於記憶單元中，則當

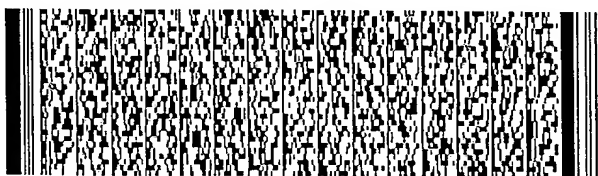


五、發明說明 (5)

要執行特定的指令時，第一處理單元 100 將不斷地自儲存單元中讀取資料執行，如此將會降低整體的效能。因此，可將一些常用的指令或較短的指令儲存於第二處理單元 200 中的內部儲存單元 12，也就是將可程式邏輯控制器中所需要用到的指令，依據一規則（例如使用頻率、指令執行時間等）區分為第一群組指令與第二群組指令，第一群組指令儲存於可程式邏輯控制器的外部記憶單元 80 中，第二群組指令儲存於第二處理單元 200 的內部儲存單元 12 中。外部記憶單元 80 與內部記憶單元 12 可採用非揮發性記憶體，例如靜態隨機存取記憶體。

當欲執行特定的指令（屬於第二群組指令中之指令）時，則交由第二處理單元 200 來執行，亦即由第二處理單元 200 中的基本指令執行模組 10 來執行，並於指令執行完畢時，通知第一處理單元 100，如此，不但可以降低第一處理單元 100 的運算負載，更可以提高整體的運算效能。

基本指令執行模組 10 中的邏輯運算單元 11 係根據兩個中斷訊號致動，分別為計數中斷訊號 IntCnt 以及比較計數中斷訊號 IntCmp，計數中斷訊號 IntCnt 係來自計數模組 40，比較計數中斷訊號 IntCmp 係來自計數比較模組 50。當邏輯運算單元 11 接收到上述中斷訊號其中之一時，則自內部記憶單元 13 或外部記憶單元 70 讀取目前程式所指定要執行的指令，當指令執行完畢之後，則將旗標累加單元 13 中的旗標值改變。計數中斷訊號 IntCnt 係為一請求型中斷（來自計數模組 40），請求型中斷係依據所請求中斷的順



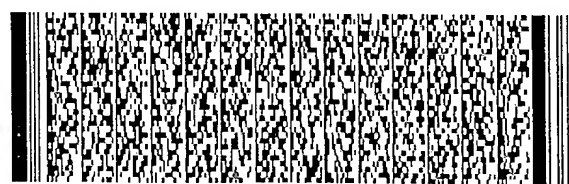
五、發明說明 (6)

序依序執行，而比較計數中斷訊號IntCmp（來自計數比較模組50）係為一種強制型中斷，為需要立即處理執行之中斷要求。

脈波輸出模組20用以輸出可程式化脈波訊號，用以控制受控系統，例如伺服馬達。其系統方塊請參考『第3圖』，脈波輸出組20主要包括一脈波輸出啟動模組21，用以輸出一啟動訊號以啟動PWM模組22、PLSY模組23或者是PLSR模組24，啟動模組之後，被啟動的模組即輸出相對應之脈波訊號，並透過一解多工器25將脈波輸出。PWM模組為脈波寬度調變，PLSY為脈波輸出，而PLSR則為減速脈波輸出，皆為使用者用來控制馬達，依馬達驅動方式的不同，可作不同的設定。

接著配合『第4圖』與『第5圖』說明PWM模組22、PLSY模組23以及PLSR模組24的操作。脈波輸出啟動模組21中包括有一單位頻率產生單元211、一單位頻率計數器212以及一模式設定旗標213，單位頻率產生單元211用以輸出一單位頻率給單位頻率計數器212，再由單位頻率計數器212輸出啟動訊號，啟動訊號係以兩位元的數位訊號代表，例如"01"代表啟動PWM模組22，"10"代表啟動PLSY模組23，"11"代表啟動PLSR模組24，"00"則代表脈波輸出重置。

單位頻率產生單元211中的單位頻率比較單元216，用以輸出一頻率比較訊號給第一比較器214，第一比較器214的另一輸入為系統脈波訊號SYSclk，使得第一比較器214



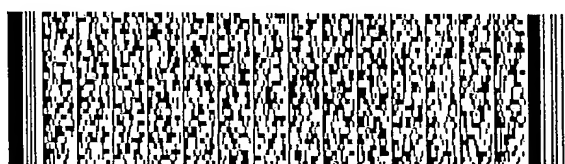
五、發明說明 (7)

根據兩個訊號輸出一比較訊號給除頻器 215，由除頻器 215 輸出一單位頻率訊號給單位頻率計數器 212，再由單位頻率計數器 212 輸出啟動訊號。

當單位頻率計數器 212 輸出的啟動訊號為 "00" (PWM 模組啟動訊號) 時，此時脈波輸出模組 20 將輸出 PWM 脈波訊號。PWM 模組中 22 有一 PWM 週期設定單元 221，用以輸出一設定訊號給第二比較器 222，第二比較器 222 的另一輸入為啟動訊號，使得第二比較器 222 據以輸出一第二比較訊號給 PWM 輸出暫存器 224，第三比較器 223 則根據啟動訊號以及 OffDuty 旗標 225 之輸出訊號輸出一第三比較訊號給 PWM 輸出暫存器 224。PWM 輸出暫存器 224 則根據第二比較訊號以及第三比較訊號輸出 PWM 脈波。

當單位頻率計數器 212 輸出的啟動訊號為 10 (PLSY 模組啟動訊號) 時，此時脈波輸出模組 20 將輸出 PLSY 脈波訊號，PLSY 脈波訊號係由 PLSY 模組 23 中的 PLSY 脈波設定單元 231 輸出，同時輸出至第四比較器 232，第四比較器 232 的另一輸入則為 PLSY 模組啟動訊號，使得第四比較器 232 輸出一重置旗標訊號 00 給脈波輸出啟動模組 21 中的模式設定旗標 213。

PLSR 模組 24 的系統方塊請參考『第 5 圖』。PLSR 模組 24 係由單位頻率計數器 212 輸出的 PLSR 模組啟動訊號 (11) 啟動，啟動訊號同時輸入至脈波計數單元 26。PLSY 模組中具有一頻率設定單元 241 以及一脈波個數設定單元 242，頻率設定單元 241 儲存有至少一組以上可供設定的頻



五、發明說明 (8)

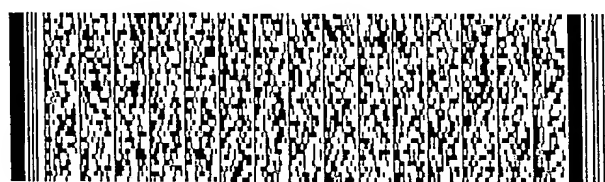
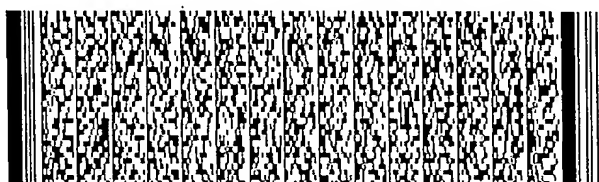
率設定值，每一頻率在脈波設定單元中 242 儲存有一相對應的脈波計數個數。當程式中設定一特地頻率與該頻率相對應的脈波計數個數時，同時將這些設定值輸出至 PLSR 處理狀態單元 243 中，PLSR 處理狀態單元 243 接收到 PLSR 模組啟動訊號時，則輸出 PLSR 脈波，其輸出的訊號如『第 6C 圖』所示。當所有輸出設定處理完畢時，則輸出一重置旗標訊號 00 給脈波輸出啟動模組 21 中的模式設定旗標 213。

PLSR 處理狀態單元 243 將訊號輸出給脈波計數單元 26 中的計數個數設定單元 261 以及單位頻率比較單元 216，使得脈波計數單元 26 中的第五比較器 262 可以根據 PLSR 啟動訊號以及計數個數設定單元 261 的輸出輸出一第五比較訊號，以判斷是否到達處理下一輸出設定。

在設定的方式上只需輸入需求的頻率即可，不需要再換算成個數再填入，這樣省去了第一處理單元計算的時間並加快了執行的效能。

關於中斷產生模組 30 之系統方塊圖請參考『第 6 圖』，中斷產生模組 30 負責處理來自各模組的中斷源，並利用中斷致能訊號觸發第一處理單元 100 的中斷，以通知第一處理單元 100 來處理中斷。本發明所揭露的中斷模式有請求型中斷與強制型中斷，在設定上每一個中斷源皆可以上升緣、下降緣，及啟動等旗標可供設定。

中斷致能旗標 31 中記錄有中斷致能的旗標值，而正負緣設定旗標 32 則記錄有上升緣中斷或下降緣中斷，當中斷致能旗標 31 的輸出與中斷源致動啟動單元 33 時，啟動單元



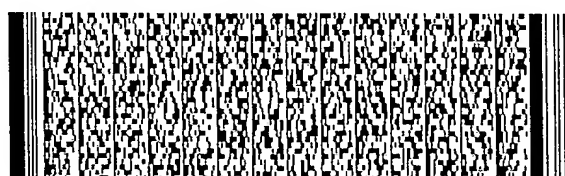
五、發明說明 (9)

33將輸出一啟動訊號以致動正負緣偵測器 34，正負緣偵測器 34的輸出耦接至一中斷向量狀態暫存器 35。配合一中斷向量捕捉暫存器 36，由一中斷狀態判斷器 37判斷為上升緣中斷或下降緣中斷，並由中斷狀態機 38輸出中斷訊號。只要有一中斷產生，中斷狀態判斷器 37則輸出中斷訊號，如果偵測的結果為 Zero 且狀態為 S1則將狀態設為 S0，此時中斷訊號輸出為 1，如果偵測的結果不是 Zero 且狀態為 S0則將狀態設為 S1，此時中斷訊號輸出為 0。

計數模組 40的系統方塊圖請參考『第 7圖』，計數模組 40中提供複數組獨立高速計數模式，當程式需要高速計數時，第一處理單元 100即透過一中斷訊號，通知計數模組 40以進行高速計數。

計數模組 40中包括有一計數器比較值紀錄單元 41以及一計數器現在值紀錄單元 42，分別儲存有計數器比較值以及計數器現在值，計數比較單元 43則比較計數器比較值以及計數器現在值，當上數的個數達到後，則輸出邏輯 1至解多工器 44，當下數的個數達到時，則輸出邏輯 0解多工器 44，解多工器 44再配合計數模式將訊號輸出給基本指令執行模組 10。

計數器現在值記錄單元 42則根據解多工器 45A、多工器 45B以及解多工器 45B、解多工器 46B的輸出將計數器現在值輸出至上下數偵測單元 47，以供上下數偵測單元偵測目前的計數為上數或下數，上數則輸出邏輯 0至解多工器 48，下數則輸出邏輯 1至解多工器 48，解多工器 48再配合



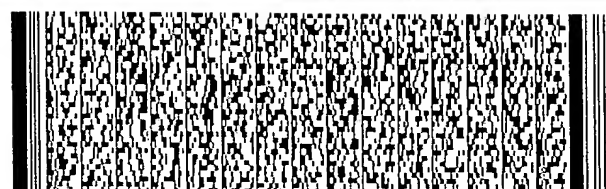
五、發明說明 (10)

計數模式將訊號輸出給基本指令執行模組 10。

計數器現在值單元 42 另外輸出計數內容訊號給多工器 54。計數器現在值單元 42 由三個控制訊號控制，分別為重置訊號、啟動訊號以及 U/D 旗標，重置訊號由 AND 邏輯運算單元 49A 輸出，啟動訊號由 AND 邏輯運算單元 49B 輸出。

計數比較模組 50 的系統方塊圖請參考『第 8 圖』，包括有比較結果輸出位址單元 51、比較模式設定單元 52、以及計數比較設定值單元 53，比較結果輸出位址單元 51 儲存有比較結果輸出位址，比較模式設定單元 52 儲存有比較模式設定，計數比較設定值單元 53 儲存有計數比較設定值，解多工器 54 接收來自計數器的四個輸出訊號 (HSC0、HSC1、HSC2、HSC3)，並據以輸出一計數內容，由第六比較器 55 比較計數內容與計數比較值設定，並將比較結果輸出至多工器 57 以及解多工器 58，多工器 57 以及解多工器 58 則將運算結果輸出至基本指令執行模組 10 中。第六比較器 55 的另一比較結果輸出儲存於比較結果暫存器 56 中。

在實際的應用上，可將上述之模組單元以積體電路製造成為一特殊用途積體電路 (ASIC)，俾以提供一獨立的硬體，使得在效能上不會隨著使用更多的資源而下降。此外，亦可將上述的模組各自獨立成為特殊用途積體電路。雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為



五、發明說明 (11)

準。



圖式簡單說明

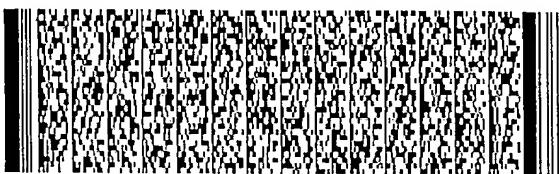
第 1 圖係為本發明所揭露之輔助處理單元之系統架構圖；
第 2 圖係為本發明所揭露之基本指令執行模組之系統方塊圖；

第 3 圖係為本發明所揭露之脈波輸出模組之系統方塊圖；
第 4 圖係為本發明所揭露之中斷產生模組之系統方塊圖；
第 5 圖係為本發明所揭露之 PWM 模組及 PLSR 模組之系統方塊圖；

第 6 圖係為本發明所揭露之中斷產生模組之系統方塊圖；
第 7 圖係為本發明所揭露之計數模組之系統方塊圖；以及
第 8 圖係為本發明所揭露之計數比較模組之系統方塊圖。

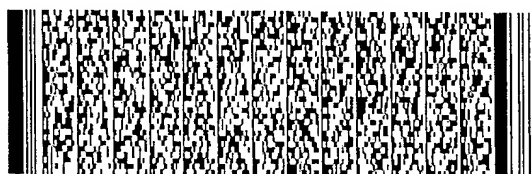
【圖式符號說明】

100	第一處理單元
200	第二處理單元
10	基本指令執行模組
20	脈波輸出模組
30	中斷產生模組
40	計數模組
50	計數比較模組
60	擴充介面模組
70	資料匯流排
80	外部記憶單元
11	邏輯運算單元
12	內部記憶單元
13	旗標累加單元



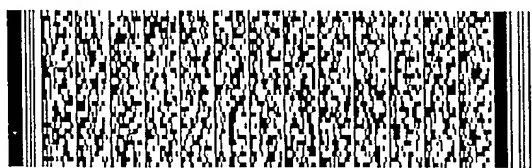
圖式簡單說明

- 21 脈波輸出啟動模組
- 22 PWM模組
- 23 PLSY模組
- 24 PLSR模組
- 25 解多工器
- 26 脈波計數單元
- 211 單位頻率產生單元
- 212 單位頻率計數器
- 213 模式設定旗標
- 214 第一比較器
- 215 除頻器
- 216 單位頻率比較單元
- 221 PWM週期設定單元
- 222 第二比較器
- 223 第三比較器
- 224 PWM輸出暫存器
- 225 OffDuty旗標
- 231 PLSY脈波設定單元
- 232 第四比較器
- 241 頻率設定單元
- 242 脈波個數設定單元
- 243 PLSR處理狀態單元
- 261 計數個數設定單元
- 262 第五比較器



圖式簡單說明

- 31 中斷致能旗標
- 32 正負緣設定旗標
- 33 中斷源致動啟動單元
- 34 正負緣偵測器
- 35 中斷向量狀態暫存器
- 36 中斷向量捕捉暫存器
- 37 中斷狀態判斷器
- 38 中斷狀態機
- 41 計數器比較值紀錄單元
- 42 計數器現在值紀錄單元
- 43 計數比較單元
- 44 解多工器
- 45A 解多工器
- 45B 多工器
- 46A 解多工器
- 46B 多工器
- 47 上下數偵測單元
- 48 解多工器
- 49A 邏輯運算單元
- 49B 邏輯運算單元
- 51 比較結果輸出位址單元
- 52 比較模式設定單元
- 53 計數比較設定值單元
- 54 解多工器



圖式簡單說明

55 第六比較器

56 比較結果暫存器

57 多工器

58 解多工器

IntCnt 計數中斷訊號

IntCmp 比較計數中斷訊號

SYSclk 系統脈波訊號



六、申請專利範圍

1. 一種可程式邏輯控制器，包括有：

一第一處理單元，用以執行低速脈波輸出、低速計數以及執行第一群組指令；以及

一第二處理單元，用以根據一由該第一處理單元所產生之中斷訊號，執行相對應之高速脈波輸出、高速計數以及執行第二群組指令。

2. 如申請專利範圍第1項所述之可程式邏輯控制器，其中該第二處理單元包括有一基本指令執行模組，用以執行該第二群組指令。

3. 如申請專利範圍第2項所述之可程式邏輯控制器，其中該基本指令執行模組更包括有：

一內部記憶單元，用以儲存該第二群組指令；

一邏輯運算單元，係與該內部記憶單元耦接，用以執行該第二群組指令；以及

一旗標累加單元，係與該邏輯運算單元耦接，當該第二群組指令執行完畢之後，改變該旗標累加單元中的旗標值。

4. 如申請專利範圍第1項所述之可程式邏輯控制器，其中該第二處理單元包括有一脈波輸出模組，用以輸出複數組高速脈波訊號。

5. 如申請專利範圍第4項所述之可程式邏輯控制器，其中該脈波輸出模組包括有：

一脈波輸出啟動模組，用以輸出一啟動訊號；

一脈寬調變模組，係與該脈波輸出啟動模組耦接，



六、申請專利範圍

當該啟動訊號為一脈寬調變模組啟動訊號時啟動，並輸出脈寬調變脈波訊號；

一脈波輸出模組，係與該脈波輸出啟動模組耦接，當該啟動訊脈波輸出模組啟動訊號時啟動，並輸出脈波訊號；以及

一減速脈波輸出模組，係與該脈波輸出啟動模組耦接，當該啟動訊號為一減速脈波輸出模組啟動訊號時啟動，並輸出減速脈波輸出脈波訊號。

6.如申請專利範圍第1項所述之可程式邏輯控制器，其中該第二處理單元包括有一中斷模組，用以輸出中斷訊號。

7.如申請專利範圍第6項所述之可程式邏輯控制器，其中該中斷模組包括有：

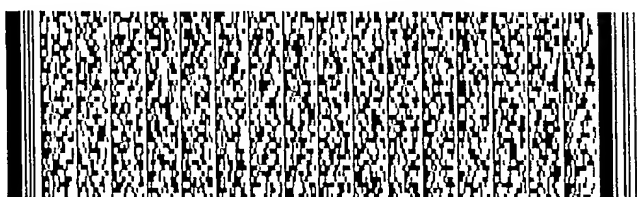
一中斷致能旗標，用以記錄中斷致能旗標值；

一正負緣設定旗標，用以記錄上升緣中斷或下降緣中斷；

一啟動單元，係與該中斷致能旗標耦接，由該中斷致能旗標的輸出與一中斷源致動該啟動單元，據以輸出一啟動訊號；

一正負緣偵測器，係與該啟動單元耦接，用以接收該啟動訊號，並根據該正負緣設定旗標輸出一正負緣偵測訊號；

一中斷向量狀態暫存器，與該正負緣偵測器耦接，用以儲存中斷向量狀態；



六、申請專利範圍

一中斷狀態判斷器，根據該中斷向量狀態以及一中斷向量捕捉暫存器的輸出判斷上升緣中斷或下降緣中斷；以及

一中斷狀態機，係與該中斷狀態判斷器耦接，用以根據該中斷狀態判斷器的判斷結果輸出中斷訊號。

8.如申請專利範圍第1項所述之可程式邏輯控制器，其中該第二處理單元包括有一計數模組，用以執行複數組高速計數模式。

9.如申請專利範圍第8項所述之可程式邏輯控制器，其中該計數模組包括有：

一計數器比較值紀錄單元，儲存有計數器比較值；

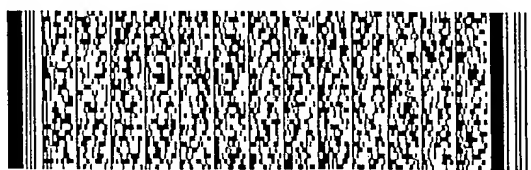
一計數器現在值紀錄單元，用以儲存計數器現在值；

一計數比較單元，係與該計數器比較值記錄單元耦接，用以該比較計數器比較值以及該計數器現在值，以判斷當上數的個數或下數個數是否到達一預定值；

一解多工器，係與該計數比較單元耦接，當計數比較單元輸出代表該預定值之邏輯訊號時，配合一計數模式訊號輸出至基本指令執行模組中；

一上下數偵測單元，係與該計數器現在值記錄單元耦接，用以接收該計數器現在值，以偵測目前的計數為上數或下數，並輸出一偵測結果；以及

一解多工器，係與該上下數偵測單元耦接，用以根據該偵測結果並配合計數模式將訊號輸出至該基本指令



六、申請專利範圍

執行模組。

10.如申請專利範圍第1項所述之可程式邏輯控制器，其中該第二處理單元包括有一比較計數模組。

11.如申請專利範圍第10項所述之可程式邏輯控制器，其中該比較計數模組包括有：

一比較結果輸出位址單元，用以儲存比較結果輸出位址；

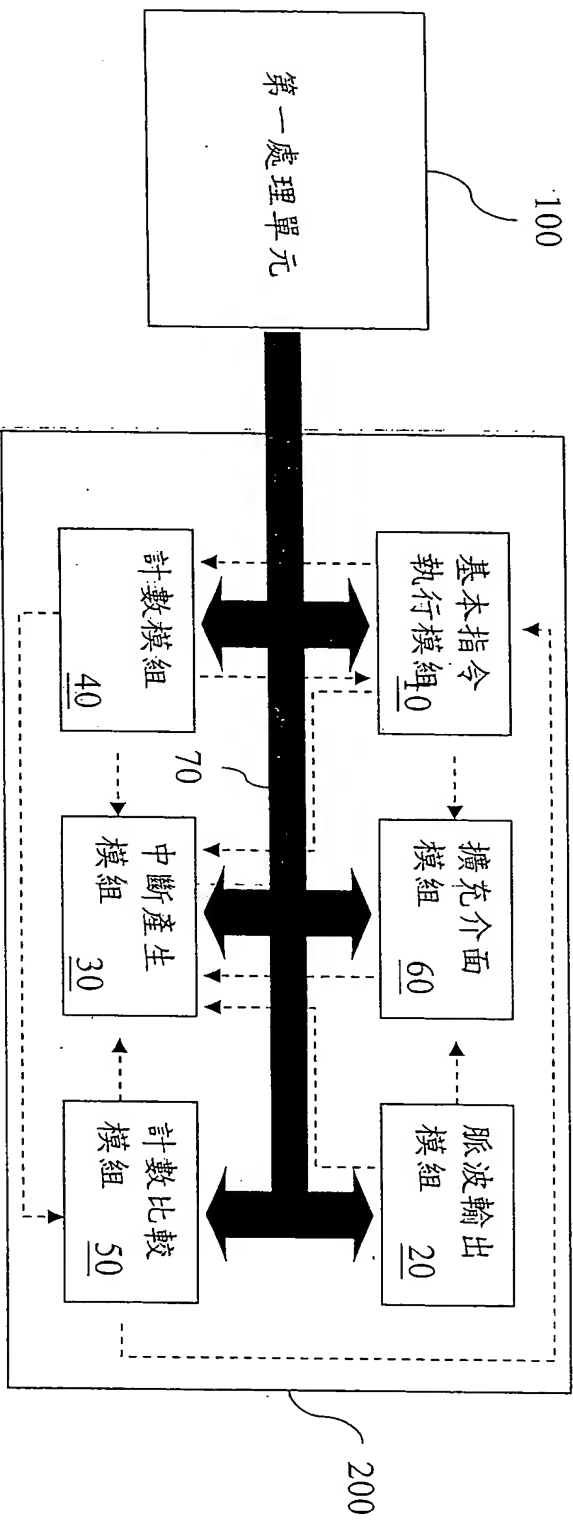
一比較模式設定單元，用以儲存比較模式設定；

一計數比較設定值單元，用以儲存計數比較設定值；

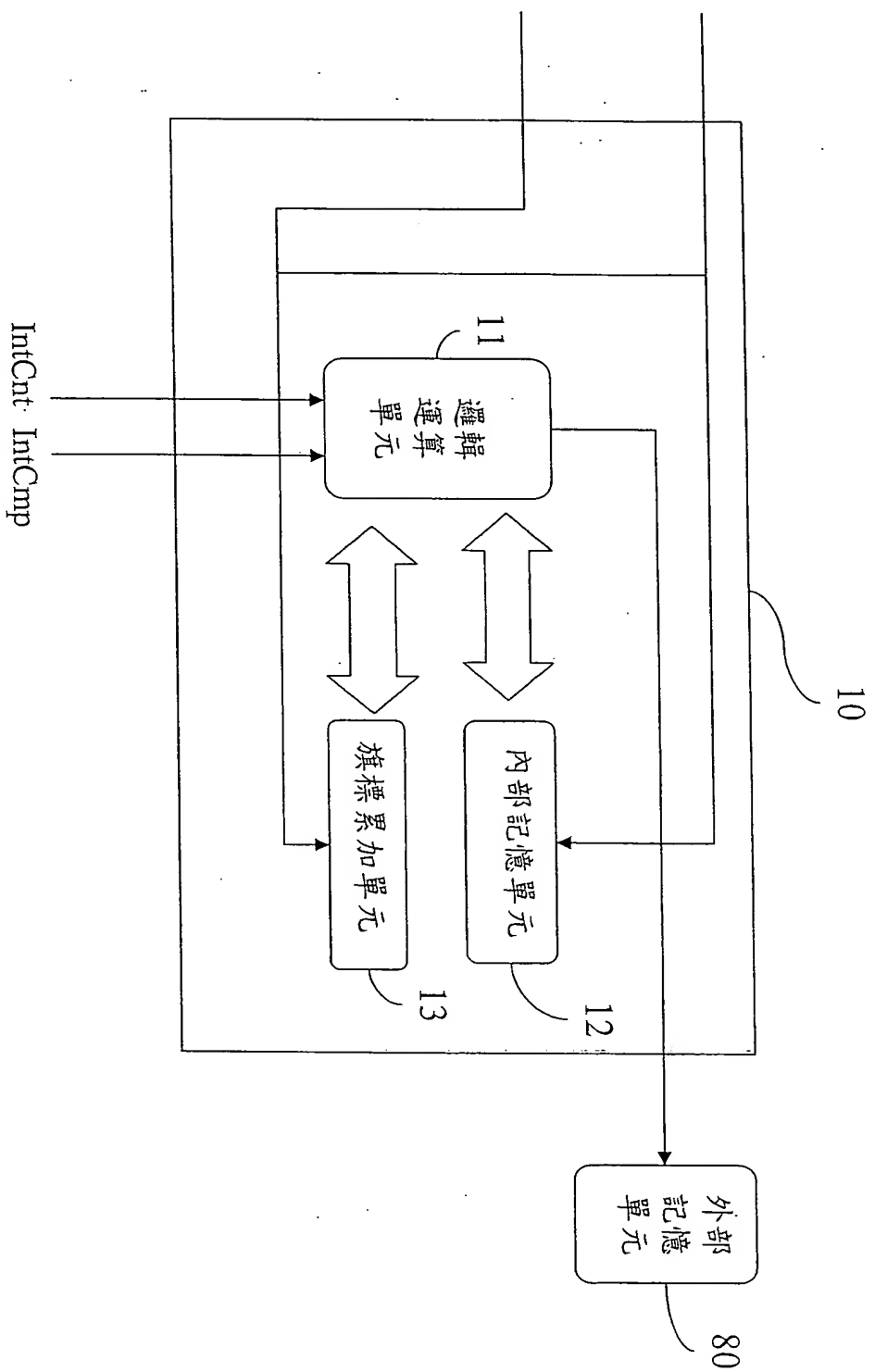
一解多工器，用以接收來自該計數模組之輸出訊號，並據以輸出一計數內容；以及

一第六比較器，係與該比較結果輸出位址單元耦接，用以該比較計數內容與該計數比較值設定，並將一比較結果輸出至一多工器。

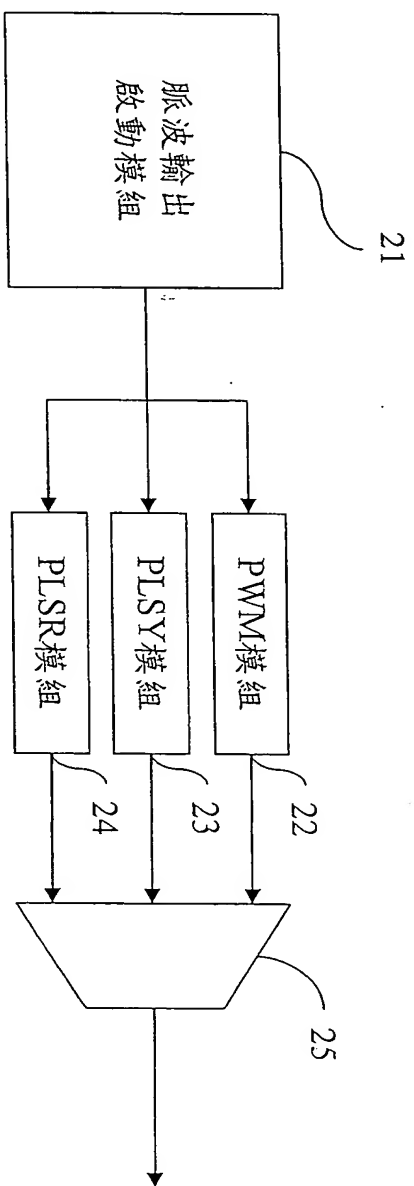




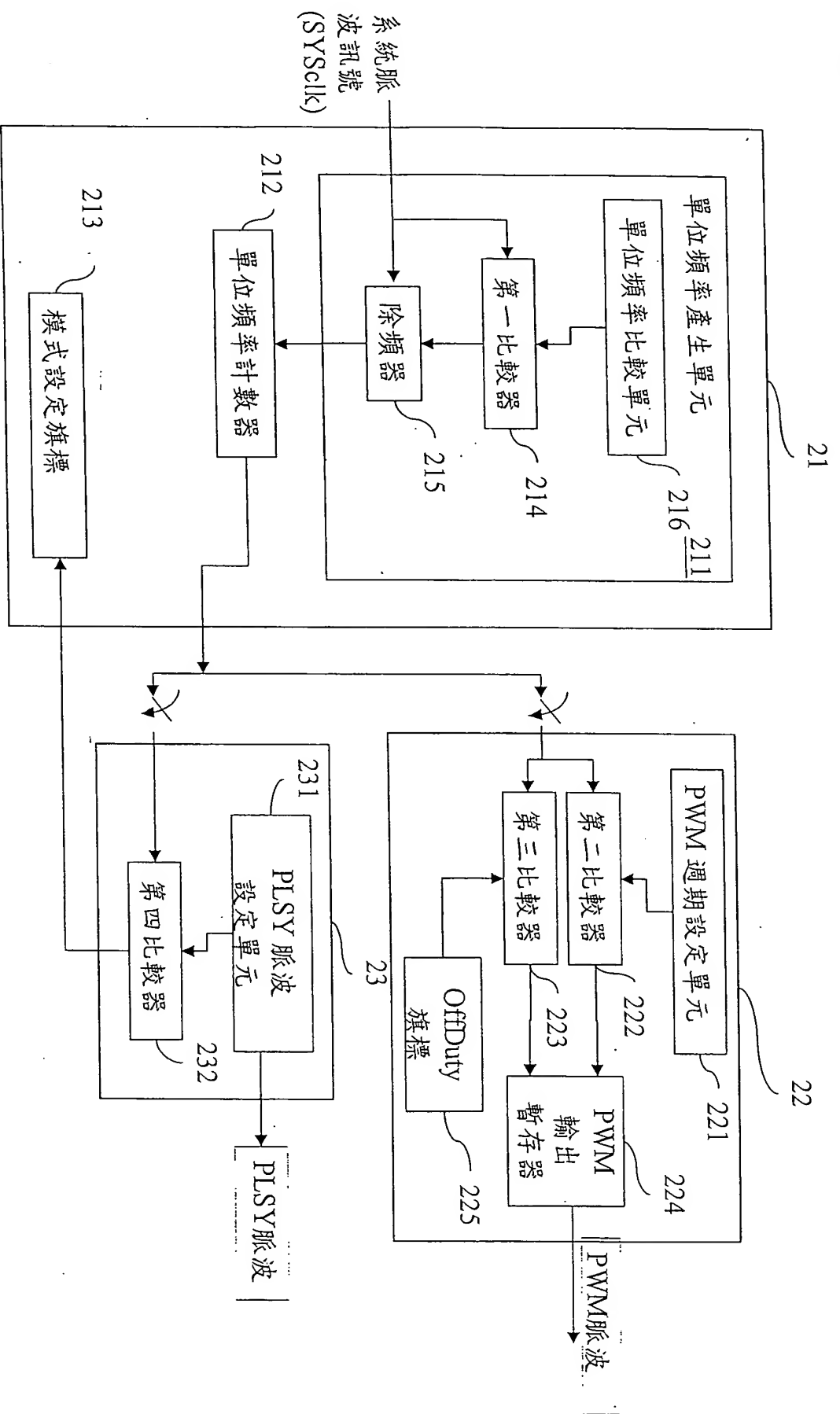
第1圖



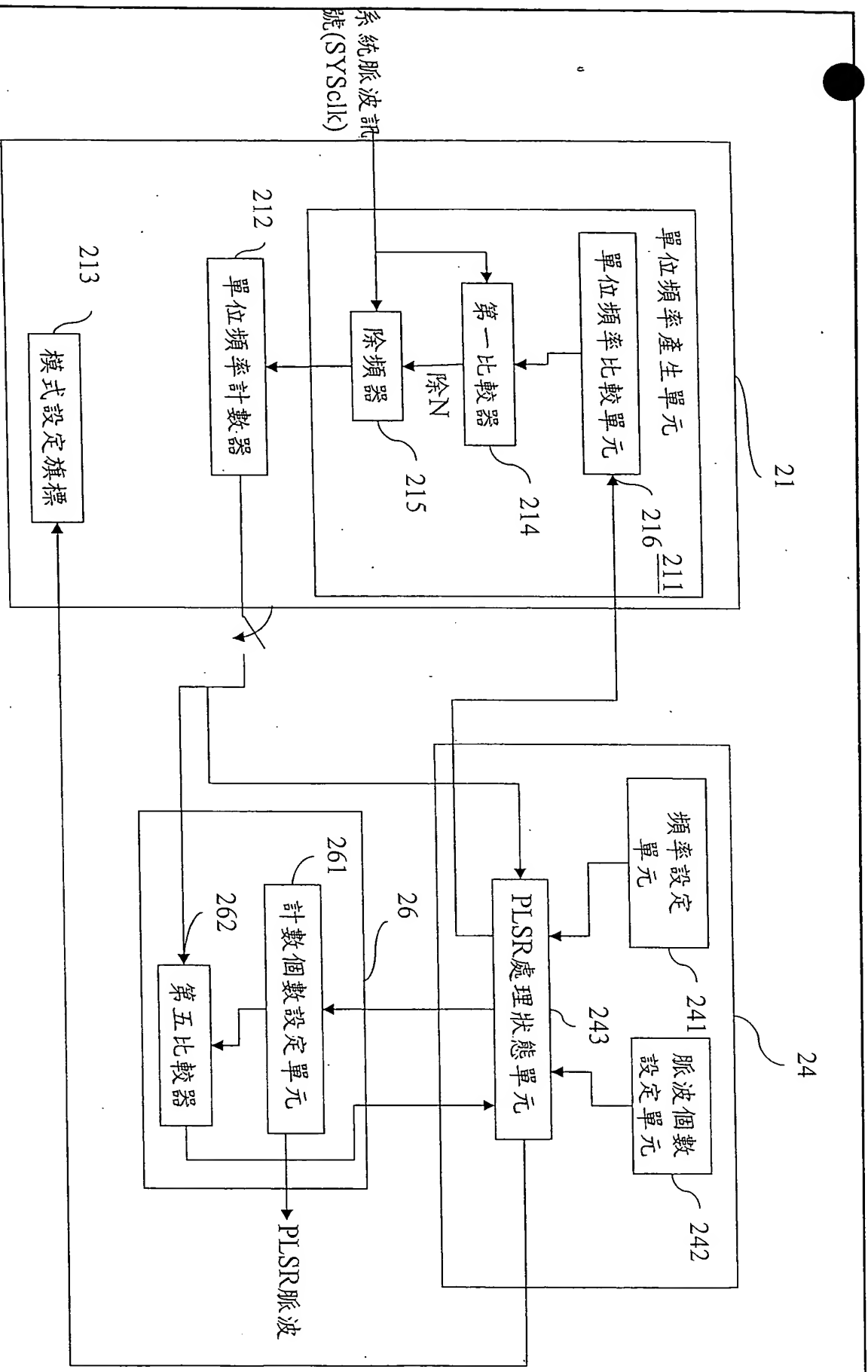
第2圖



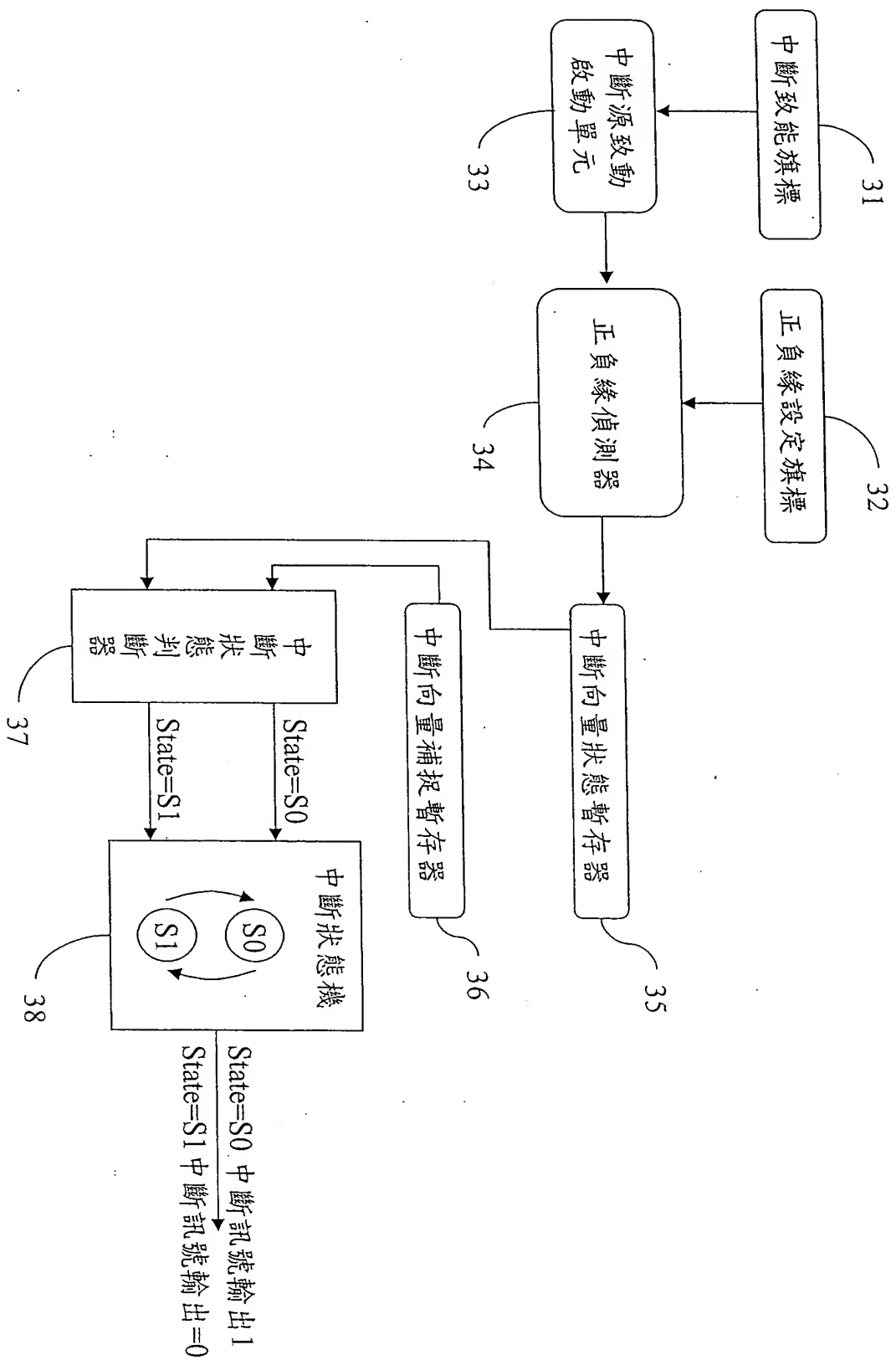
第3圖



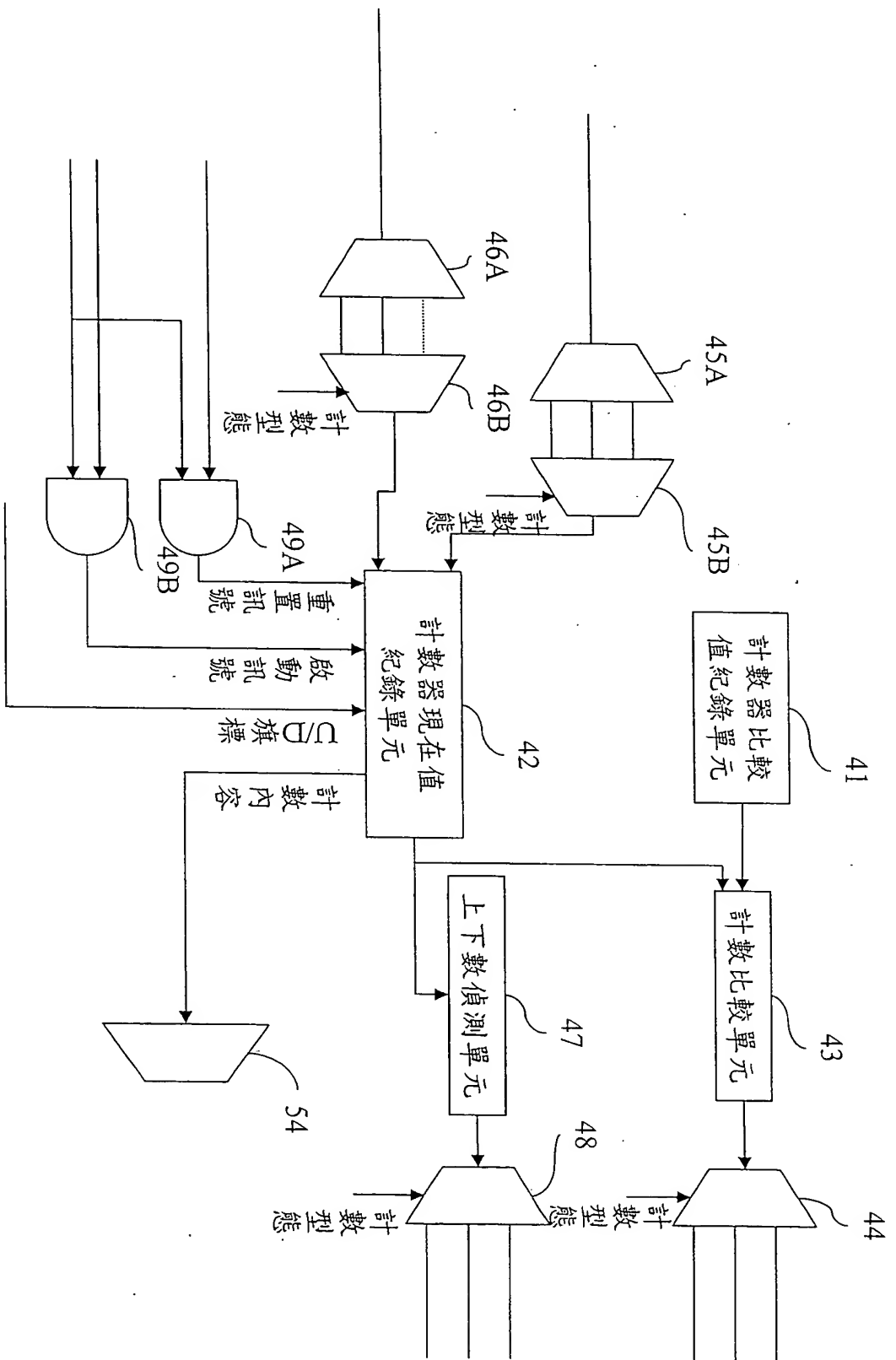
第4圖



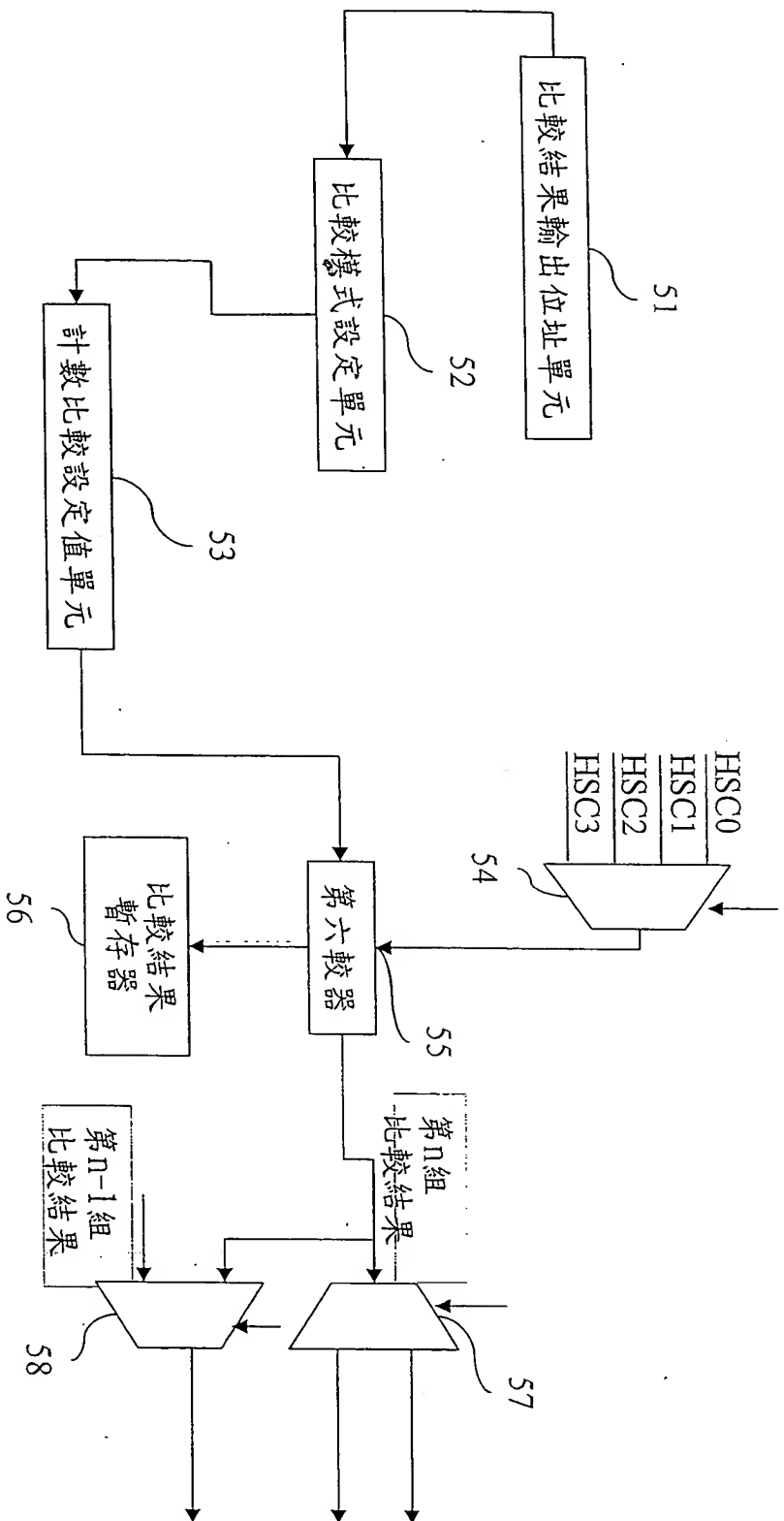
第5圖



第6圖

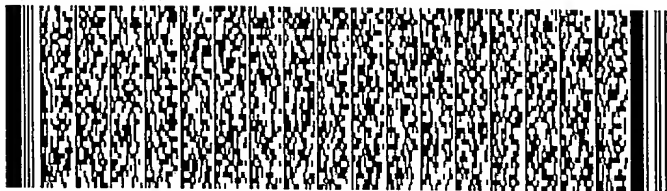


第7圖

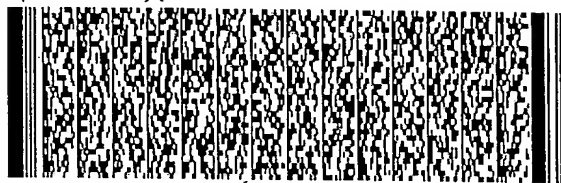


第8圖

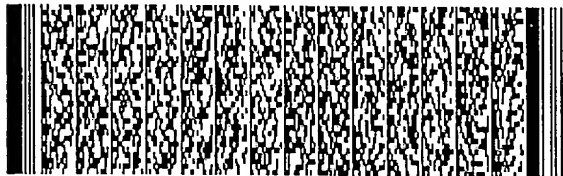
第 1/23 頁



第 2/23 頁



第 2/23 頁



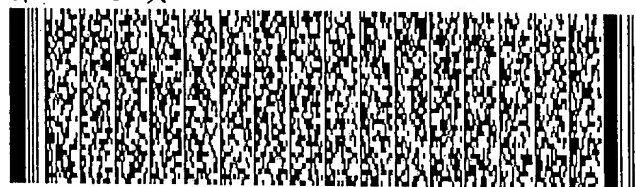
第 3/23 頁



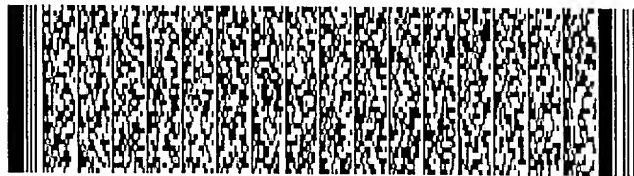
第 4/23 頁



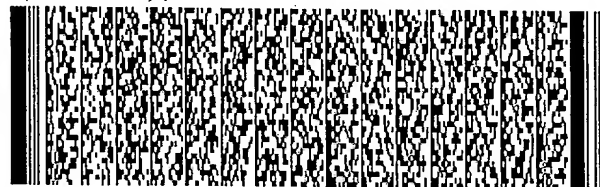
第 5/23 頁



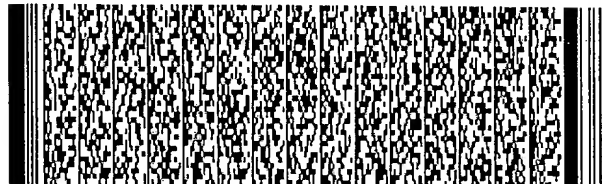
第 5/23 頁



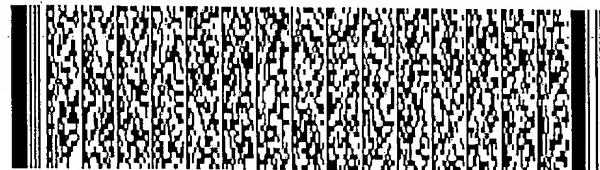
第 6/23 頁



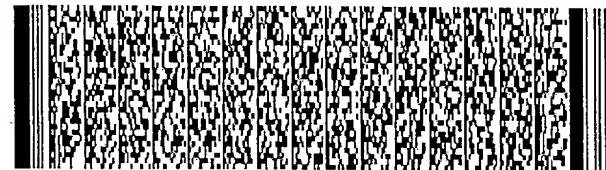
第 6/23 頁



第 7/23 頁



第 7/23 頁



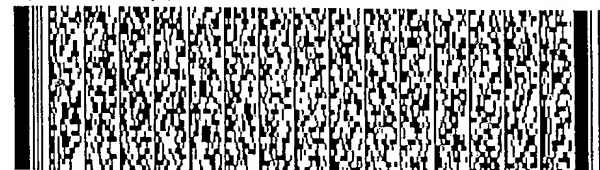
第 8/23 頁



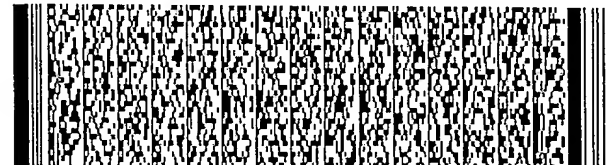
第 8/23 頁



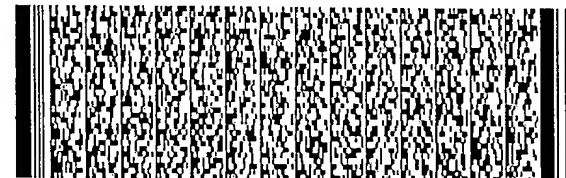
第 9/23 頁



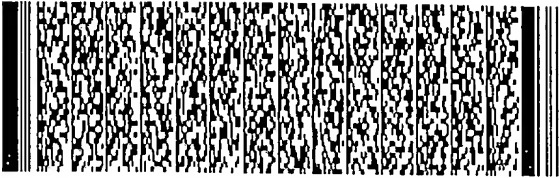
第 9/23 頁



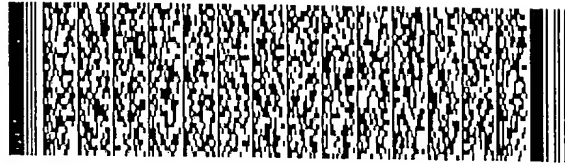
第 10/23 頁



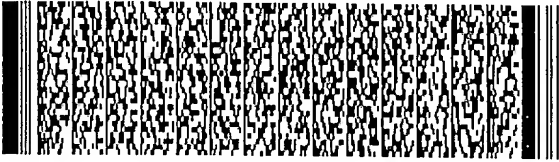
第 10/23 頁



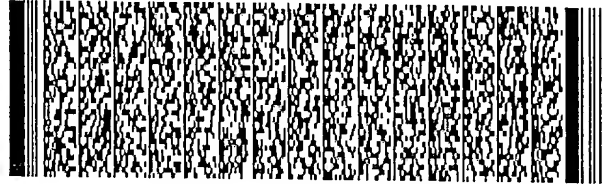
第 11/23 頁



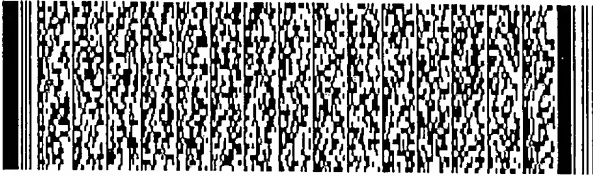
第 11/23 頁



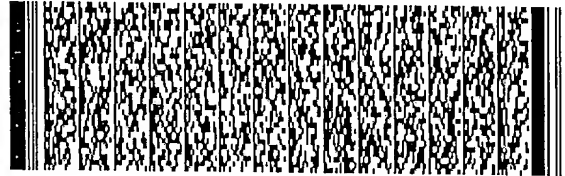
第 12/23 頁



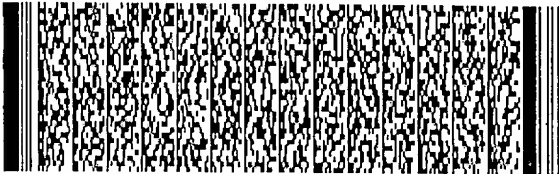
第 12/23 頁



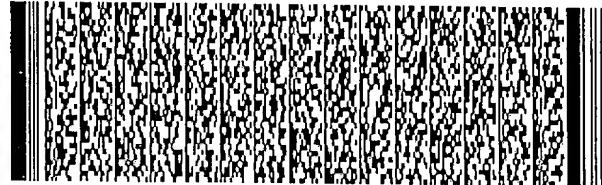
第 13/23 頁



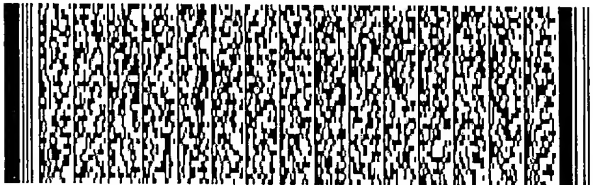
第 13/23 頁



第 14/23 頁



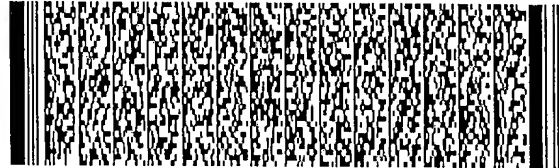
第 14/23 頁



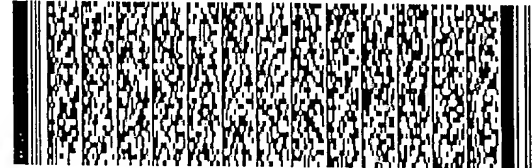
第 15/23 頁



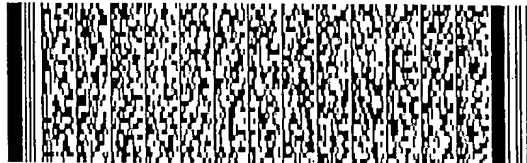
第 16/23 頁



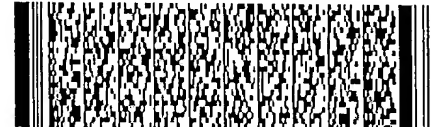
第 17/23 頁



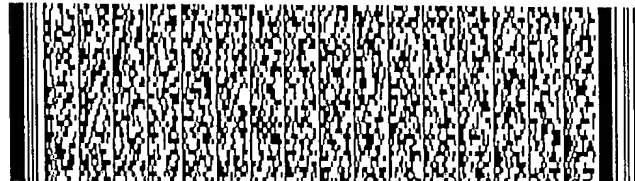
第 18/23 頁



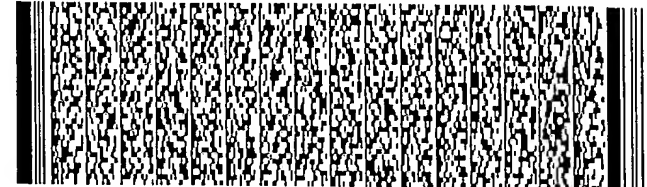
第 19/23 頁



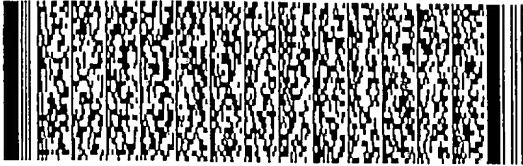
第 20/23 頁



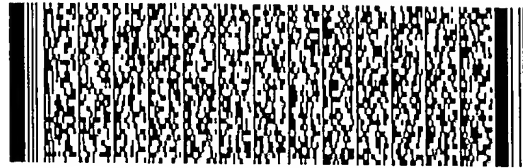
第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁

